

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-209044

(43) 公開日 平成6年 (1994) 7月26日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82		9169-4M	H 0 1 L 21/82	B

審査請求 未請求 請求項の数1 F D (全 4 頁)

(21) 出願番号 特願平5-18083

(22) 出願日 平成5年 (1993) 1月8日

(71) 出願人 000003137

マツダ株式会社

広島県安芸郡府中町新地3番1号

(72) 発明者 庄司 明

広島県安芸郡府中町新地3番1号 マツダ株式会社内

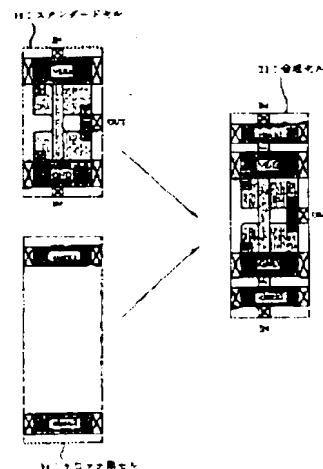
(74) 代理人 弁理士 志村 浩

(54) 【発明の名称】 半導体集積回路の設計装置

(57) 【要約】

【目的】 高速化に対応できるクロックラインの配線を自動的に行うことのできる半導体集積回路の設計装置を提供する。

【構成】 半導体集積回路の構成要素となる標準的なセルのレイアウトパターン情報をスタンダードセル11のライブラリとして用意する。一方、クロックラインのレイアウトパターン情報をもったクロック用セル31を別に用意しておく。自動配線配線手段は、与えられた回路図情報に基づいて、スタンダードセルライブラリ内から必要なスタンダードセル11を抽出し、これにクロック用セル31を重ね合わせて合成することにより、合成セル21を作成する。そして、この合成セル21を平面的に配置することにより、与えられた回路図情報に対応したレイアウトパターンを作成する。



## 【特許請求の範囲】

【請求項1】 半導体集積回路の構成要素となる標準的なセルのレイアウトパターン情報をスタンダードセルとして用意したセルライブラリと、与えられた回路図情報に基づいて前記セルライブラリ内から必要なスタンダードセルを抽出し、これを平面的に配置することにより前記回路図情報に対応したレイアウトパターンを作成する自動配置配線手段と、を備える半導体集積回路の設計装置において、クロックラインのレイアウトパターン情報をもったクロック用セルを別に用意し、前記自動配置配線手段が、抽出したスタンダードセルと前記クロック用セルとを合成したパターンを作成してこれを配置する機能を備えることを特徴とする半導体集積回路の設計装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路の設計装置、特に、スタンダードセルのライブラリを用いて自動配置配線を行う機能をもった半導体集積回路の設計装置に関する。

## 【0002】

【従来の技術】 半導体集積回路の設計を効率的に行うために、セルライブラリを用いた自動配置配線を行う技術が普及している。たとえば、特開平3-23667号公報、特開平3-3267号公報には、このような自動配置配線を用いたチップ上のセル配置構成に関する技術が開示されており、特開平2-308575号公報には、光検出セルを用いた自動配置配線技術が開示されている。

【0003】 このような半導体集積回路の設計装置で用いるセルライブラリには、半導体集積回路の構成要素となる標準的な種々のセルのレイアウトパターン情報がスタンダードセルとして用意されている。そして、与えられた回路図情報に基づいて、セルライブラリ内から必要なスタンダードセルを抽出し、これを平面的に配置することにより回路図情報に対応したレイアウトパターンが自動的に作成される。いわば、標準的な多数の部品をセルライブラリとして用意しておき、所望の回路をこれらの部品によって組み立てるような作業が行われることになる。このような自動配置配線機能をもった装置を用いれば、レイアウトパターンを作成するために要する回路設計者の負担を大幅に軽減することができる。

## 【0004】

【発明が解決しようとする課題】 近年、LSIには益々高速動作が要求される傾向にあり、クロック周波数もかなり高いものが用いられるようになってきている。ところが、従来のスタンダードセルを用いた設計では、このような高速化に対して十分な信頼性を確保することができない状況になってきている。高速化に対して信頼性のある動作を保证するためには、(1) スタンダードセル内

部の見直し、(2) クロックライン配線の見直し、の2通りの方法が考えられる。このうち、(1)の方法は、いままで構築してきたスタンダードセルライブラリの資産を有効に利用することができず、新たなスタンダードセルの設計に多大な時間および費用が必要になる。そこで、現段階では(2)の方法の方が現実的である。

【0005】 高速化に対応できるようなクロックラインを確保するためには、クロックラインの配線幅を他のネットの配線幅に比べて広くする必要がある。ところが、現在一般的に用いられている自動配置配線装置では、特定の配線幅のみを幅広にするような機能は備わっていないため、幅広のクロックラインを自動配置配線することはできず、マニュアル作業によってクロックラインの配線を行っているのが現状である。このため、クロックラインの配線作業に多大な労力と時間を要している。

【0006】 そこで本発明は、高速化に対応できるクロックラインの配線を自動的に行うことのできる半導体集積回路の設計装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明は、半導体集積回路の構成要素となる標準的なセルのレイアウトパターン情報をスタンダードセルとして用意したセルライブラリと、与えられた回路図情報に基づいてセルライブラリ内から必要なスタンダードセルを抽出し、これを平面的に配置することにより与えられた回路図情報に対応したレイアウトパターンを作成する自動配置配線手段と、を備える半導体集積回路の設計装置において、クロックラインのレイアウトパターン情報をもったクロック用セルを別に用意し、自動配置配線手段が、抽出したスタンダードセルとクロック用セルとを合成したパターンを作成してこれを配置する機能を実行できるようにしたものである。

## 【0008】

【作 用】 本発明に係る半導体集積回路の設計装置は、従来のセルライブラリにクロック用セルを付加し、自動配置配線手段にスタンダードセルとクロック用セルとを合成する機能を設けたものである。このため、いままでに構築されたセルライブラリの資産を無駄にすることなく活用することができる。自動配置配線手段において合成された合成セルは、スタンダードセルのパターンとともにクロック用セルのパターンを有する。したがって、この合成セルを用いてレイアウトパターンを作成すれば、クロックラインの自動配置配線が可能になる。

## 【0009】

【実施例】 以下、本発明を図示する実施例に基づいて説明する。図1は、本発明に係る半導体集積回路の設計装置の基本構成を示すブロック図である。この装置の基本構成要素は、スタンダードセルライブラリ10、自動配置配線手段20、そしてクロック用セルライブラリ30である。ここで、スタンダードセルライブラリ10およ

び自動配置配線手段20は、従来の半導体集積回路の設計装置において用いられている公知の手段である。すなわち、スタンダードセルライブラリ10内には、半導体集積回路の構成要素となる標準的なセルのレイアウトパターン情報がスタンダードセル11として用意されている。自動配置配線手段20は、与えられた所定の回路図情報Aに基づいて、スタンダードセルライブラリ10内から必要なスタンダードセル11を抽出し、これを平面的に配置することにより回路図情報Aに対応したレイアウトパターンBを作成して出力する機能を有する。

【0010】本願装置の特効は、このような既存のシステムに、更にクロック用セル31を有するライブラリ30を用意し、自動配置配線手段20は、スタンダードセル11とクロック用セル31とを合成したパターンを作成してこれを配置する機能を設けた点にある。クロック用セル31は、クロックラインのレイアウトパターン情報をもったセルであり、このレイアウトパターン情報は、クロックライン専用のデザインルールに基づいて用意される。

【0011】図2に、具体的なスタンダードセル11およびクロック用セル31と、これらを合成して得られる合成セル21の一例を示す。この例でのスタンダードセル11は、2つの入力端子INに与えられた論理信号に基づいて所定の論理演算を行い、その結果を出力端子OUTから出力する機能を有し、セル内には電源用の配線VDDおよびGNDが横方向に配設されている。種々のスタンダードセルにおいて、電源用の配線位置を共通にしておけば、このようなスタンダードセルを横方向に並べることで、電源の配線を自動的に行うことができる。一方、クロック用セル31は、2つのクロック用配線clock1, clock2が横方向に配設されたセルである。これらのクロック用配線clock1, clock2は、スタンダードセル11と合成したときにパターン同士が重なり合わないような位置に配置されており、クロック用セル31の輪郭はスタンダードセル11の輪郭よりもひとまわり大きくなっている。

【0012】合成セル21は、図2に示すように、スタンダードセル11とクロック用セル31とを互いに重ね合わせたパターンをもったセルであり、この例では、2つの入力端子INの位置だけが修正されている。このように、合成セル21は、もとのスタンダードセル11と全く同じ論理機能を有し、かつ、内部にクロック用配線パターンを有している。自動配置配線手段20は、スタンダードセルライブラリ10内の任意のスタンダードセルに対して、クロック用セル31を合成する機能を有する。

【0013】こうして、自動配置配線手段20は、回路図情報Aに基づいて必要なスタンダードセル11をスタンダードセルライブラリ10から抽出し、この抽出したスタンダードセルにクロック用セル31を合成して合成

セルを作成し、この合成セルを配置することによりレイアウトパターンBを作成する。したがって、作成されたレイアウトパターンBには、クロック用配線パターンが自動的に形成されることになり、あらためてクロックラインの配線作業を行う必要はない。また、クロック用セル31として用意したクロック用配線clock1, clock2の幅を、素子の高速動作に十分に対応できるだけの幅に設定しておけば、高速化に対して確実な動作が保証できる。

10 【0014】図3は、上述した合成セルを多数配置することにより得られたレイアウトパターンの一例を示す図である。このように、すべてのセルを合成セルで構成しておけば、自動配置配線手段20によるレイアウトデザインにおいて、クロックライン専用のデザインルールは守られることになる。クロック用配線clock1, clock2の位置は、各合成セルにおいて共通しているため、いわゆるリング配線や二層クロックにも容易に対応することができる。

20 【0015】この装置の利点は、これまでに構築されてきたスタンダードセルライブラリ10という資産を無駄にすることなく、この資産をそのまま継承して利用することができる点である。図2に示すように、これまでのスタンダードセル11に、いわば外枠としてクロック用セル31を嵌め込んで合成セル21を作成し、この合成セル21によって自動配置配線を行えばよいので、従来装置に若干の付加を行うだけで、クロックラインの自動配線が可能になる。

30 【0016】以上、本発明を図示する実施例に基づいて説明したが、本発明はこの実施例のみに限定されるものではなく、この他にも種々の態様で実施可能である。たとえば、上述の実施例では、クロック用セルライブラリ30には1種類のクロック用セル31のみが用意されていないが、複数種類のクロック用セルを用意しておき、これらを適宜使い分けるようにしてもかまわない。また、図2に示すクロック用セル31には、2種類のクロック用配線clock1, clock2が用意されているが、クロック用配線は1種類でもよいし、3種類以上でもかまわない。

【0017】

40 【発明の効果】以上のとおり本発明に係る半導体集積回路の設計装置によれば、従来のスタンダードセルにクロック用セルを合成して自動配置配線を行うようにしたため、高速化に対応できるクロックラインの配線を自動的に行うことができるようになる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の設計装置の基本構成を示すブロック図である。

50 【図2】具体的なスタンダードセル11およびクロック用セル31と、これらを合成して得られる合成セル21の一例を示す図である。

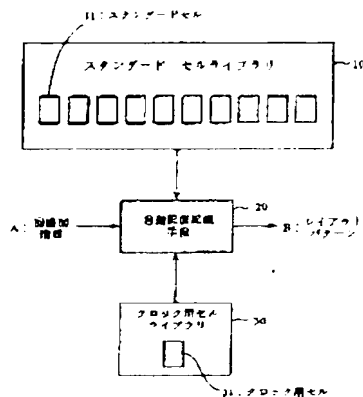
【図3】図2に示す合成セルを多数配置することにより得られたレイアウトパターンの一例を示す図である。

【符号の説明】

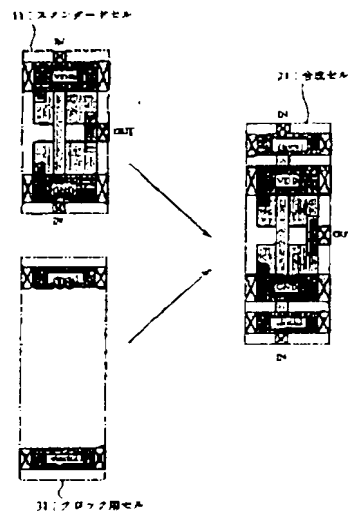
- 10…スタンダードセルライブラリ  
11…スタンダードセル  
20…自動配置配線手段

- 21…合成セル  
30…クロック用セルライブラリ  
31…クロック用セル  
A…回路図情報  
B…レイアウトパターン

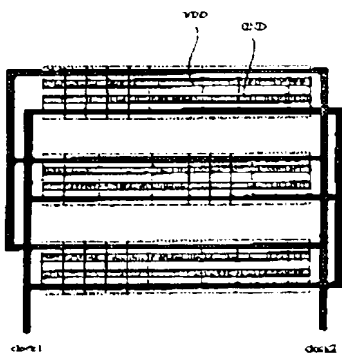
【図1】



【図2】



【図3】



<Regarding Claim 1>

- Reasons 1 and 2
- Cited Reference 1
- Remarks

In particular, see Figure 2 and its description in Cited Reference 1.

Table of Cited References, etc.

1. Japanese Patent Application Kokai No. HEI 06-209044
- 

Record of Results of Survey of Prior Art References

- Field Surveyed: IPC 7<sup>th</sup> Edition  
H 01 L 27/04, H 01 L 21/822,  
H 01 L 21/82
- Prior Art References: Japanese Patent Application Kokai No. HEI 8-18021

This record of the results of a survey of prior art references does not constitute any reason for rejection.